



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takuya FUTATSUYAMA, et al.

GAU: 2819

SERIAL NO: 10/678,179

EXAMINER:

FILED: October 6, 2003

FOR: NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE, METHOD FOR SUB-BLOCK ERASE  
AND ELECTRIC DEVICE WITH THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-192024	July 4, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)  
☐ are submitted herewith  
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.  
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   7 月   4 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 1 9 2 0 2 4  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 1 9 2 0 2 4 ]

出   願   人            株 式 会 社 東 芝  
Applicant(s):

2 0 0 3 年 1 0 月 1 5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】	特許願		
【整理番号】	03P114		
【提出日】	平成15年 7月 4日		
【あて先】	特許庁長官 殿		
【国際特許分類】	G11C 16/16		
【発明の名称】	不揮発性半導体記憶装置、そのサブブロック消去方法および電子装置		
【請求項の数】	11		
【発明者】			
【住所又は居所】	神奈川県川崎市幸区小向東芝町 1 番地	株式会社東芝	
	マイクロエレクトロニクスセンター内		
【氏名】	二山 拓也		
【発明者】			
【住所又は居所】	神奈川県川崎市幸区小向東芝町 1 番地	株式会社東芝	
	マイクロエレクトロニクスセンター内		
【氏名】	今宮 賢一		
【発明者】			
【住所又は居所】	神奈川県川崎市幸区小向東芝町 1 番地	株式会社東芝	
	マイクロエレクトロニクスセンター内		
【氏名】	細野 浩司		
【発明者】			
【住所又は居所】	神奈川県川崎市幸区小向東芝町 1 番地	株式会社東芝	
	マイクロエレクトロニクスセンター内		
【氏名】	柴田 昇		
【特許出願人】			
【識別番号】	000003078		
【氏名又は名称】	株式会社 東芝		

## 【代理人】

【識別番号】 100092820

【弁理士】

【氏名又は名称】 伊丹 勝

【電話番号】 03-5216-2501

## 【手数料の表示】

【予納台帳番号】 026893

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9810498

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置、そのサブブロック消去方法および電子装置

【特許請求の範囲】

【請求項 1】 半導体基板上に絶縁膜を介して電荷蓄積層と制御ゲートが積層され、前記電荷蓄積層へ電子が注入された書込み状態と、前記電荷蓄積層から電子が引き抜かれた消去状態とを取り得るメモリセルが行方向および列方向に複数配列されてセルアレイブロックを構成し、行方向に並ぶ複数のメモリセルの制御ゲートがワード線によって共通接続され、列方向に並ぶ複数のメモリセルがNANDセルユニットを構成してビット線に接続された不揮発性半導体記憶装置の前記セルアレイブロックの一部のメモリセルを消去するサブブロック消去方法において、

消去対象である前記一部のメモリセルの制御ゲートに前記電荷蓄積層から電子を引き抜くための電圧を与えてサブブロック消去を行うステップと、

前記消去対象のメモリセルが消去状態となったか否かを確認するためのサブブロック消去ベリファイリードを行うステップと、

前記NANDセルユニット内に、読出し電圧よりも高い閾値を有するオーバープログラムのメモリセルが存在するか否かを確認するためのオーバープログラムベリファイリードを行うステップと、

前記サブブロック消去ベリファイリードで前記メモリセルが消去状態となったことが確認されず、且つ前記オーバープログラムメモリセルが存在しない場合には前記サブブロック消去の回数が予め定めた許容回数に達したかどうかを判定し、許容回数に達していない場合には前記サブブロック消去を再実行させ、許容回数に達している場合には消去不能として処理を終了するステップと、

前記サブブロック消去ベリファイリードで前記消去対象のメモリセルが消去状態となったときには消去完了として処理を終了するステップと、

前記オーバープログラムベリファイリードでオーバープログラムのメモリセルが存在すると判定されたときには消去不能として処理を終了するステップと

を備えたことを特徴とする不揮発性半導体記憶装置のサブブロック消去方法。

【請求項 2】 前記サブブロック消去ベリファイリードは、前記オーバープログラムベリファイリードに先立って行われることを特徴とする請求項 1 記載の不揮発性半導体記憶装置のサブブロック消去方法。

【請求項 3】 前記オーバープログラムベリファイリードは、前記サブブロック消去ベリファイリードに先立って行われることを特徴とする請求項 1 記載の不揮発性半導体記憶装置のサブブロック消去方法。

【請求項 4】 前記オーバープログラムベリファイリードでオーバープログラムのメモリセルが存在すると判定された NAND セルユニットの数を計数するステップと、

このステップで計数された数がエラー訂正可能な数以下である場合には、消去不能とせずに処理を続行するステップと

を更に備えたことを特徴とする請求項 1 記載の不揮発性半導体記憶装置のサブブロック消去方法。

【請求項 5】 前記オーバープログラムベリファイリードでオーバープログラムのメモリセルが存在すると判定された NAND セルユニットの数を計数するステップと、

前記サブブロック消去ベリファイリードで消去が未完了と判定された NAND セルユニットの数を計数するステップと、

これら計数値の和がエラー訂正可能な数以下である場合には、擬似的に消去完了として処理を終了するステップと

を更に備えたことを特徴とする請求項 1 記載の不揮発性半導体記憶装置のサブブロック消去方法。

【請求項 6】 前記メモリセルの閾値は、書込み状態で接地電位よりも高く読出し電圧よりも低い第 1 の閾値、消去状態で接地電位よりも低い第 2 の閾値となり、

前記サブブロック消去は、消去対象のメモリセルの制御ゲートに接地電位を与え、ビット線及び消去対象以外のメモリセルの制御ゲートを浮遊状態とし、半導体基板に高電圧を印加することにより行われ、

前記オーバープログラムベリファイリードは、全てのメモリセルの制御ゲート

に読出し電圧を印加することにより行われ、

前記サブブロック消去ベリファイリードは、消去対象のメモリセルの制御ゲートを接地電位、それ以外のメモリセルの制御ゲートに読出し電圧を印加することにより行われる

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置のサブブロック消去方法。

【請求項 7】 前記オーバープログラムベリファイリード及びサブブロック消去ベリファイリードは、消去対象のメモリセルの制御ゲートへの印加電圧を変化させるだけで連続的に実行される

ことを特徴とする請求項 6 記載の不揮発性半導体記憶装置のサブブロック消去方法。

【請求項 8】 半導体基板上に絶縁膜を介して電荷蓄積層と制御ゲートが積層され、前記電荷蓄積層へ電子が注入された書込み状態と、前記電荷蓄積層から電子が引き抜かれた消去状態とを取り得るメモリセルが行方向および列方向に複数配列されてセルアレイブロックを構成し、行方向に並ぶ複数のメモリセルの制御ゲートがワード線によって共通接続され、列方向に並ぶ複数のメモリセルが NANDセルユニットを構成してビット線に接続されたメモリセルアレイと、

このメモリセルアレイに対して前記メモリセルへの書込み、読出し、並びに前記セルアレイブロックの一部のメモリセルを消去するサブブロック消去を行うための電圧を付与する制御手段と

を備えた不揮発性半導体記憶装置において、

前記制御手段は、

消去対象である前記一部のメモリセルの制御ゲートに前記電荷蓄積層から電子を引き抜くための電圧を与えてサブブロック消去を行う手段と、

前記消去対象のメモリセルが消去状態となったか否かを確認するためのサブブロック消去ベリファイリードを行う手段と、

前記 NANDセルユニット内に、読出し電圧よりも高い閾値を有するオーバープログラムのメモリセルが存在するか否かを確認するためのオーバープログラムベリファイリードを行う手段と、

前記サブブロック消去ベリファイリードで前記メモリセルが消去状態となったことが確認されず、且つ前記オーバープログラムメモリセルが存在しない場合には前記サブブロック消去の回数が予め定めた許容回数に達したかどうかを判定し、許容回数に達していない場合には前記サブブロック消去を再実行させ、許容回数に達している場合には消去不能として処理を終了する手段と、

前記サブブロック消去ベリファイリードで前記消去対象のメモリセルが消去状態となったときには消去完了として処理を終了する手段と、

前記オーバープログラムベリファイリードでオーバープログラムのメモリセルが存在すると判定されたときには消去不能として処理を終了する手段とを備えている

ことを特徴とする不揮発性半導体記憶装置。

【請求項 9】 請求項 8 に記載の不揮発性半導体記憶装置が搭載された電子カード。

【請求項 10】 カードインタフェースと、  
前記カードインタフェースに接続されたカードスロットと、  
前記カードスロットに電氣的に接続可能な請求項 9 記載の前記電子カードと、  
を有する電子装置。

【請求項 11】 前記電子装置は、デジタルカメラである  
請求項 10 記載の電子装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、NAND型フラッシュメモリ等の不揮発性半導体記憶装置に関し、特にサブブロック消去方法に関する。

##### 【0002】

#### 【従来の技術】

NAND型フラッシュメモリは、ファイルストレージメモリとして、音楽データおよび画像データの記録媒体に使用されている。音楽データおよび画像データは、ファイル容量が大きいため、NAND型フラッシュメモリも大容量化が進み



、NAND型フラッシュメモリの書込み単位（ページ）および消去単位（ブロック）の容量もまた大きくなってきている。一般にNAND型フラッシュメモリのブロックはページの集合体であるから、ブロック容量はページ容量の整数倍になる。上述のようにブロック容量が大きくなると、小容量のデータを消去あるいは書き換える場合の効率が悪くなる。

#### 【0003】

そこで、ブロック容量の一部分のみを消去する動作方式（サブブロック消去）が提唱されている（特許文献1）。このサブブロック消去は、ブロック容量の一部分をページ容量単位で消去する方式で、小容量のデータを効率よく消去あるいは書き換える方式である。

#### 【0004】

以下、NAND型フラッシュメモリのブロック消去動作、サブブロック消去動作、及び書込み動作について説明する。

図11は、NAND型フラッシュメモリのメモリセルアレイの一部を抽出して示している。メモリセルアレイは、複数のセルアレイブロックBLK, BLK'を有し、各ブロックBLK, BLK'は、ビット線BL0, BL1, ..., BLjに対応した複数のNANDセルユニットNUを備えている。NAND型フラッシュメモリにおける1つのNANDセルユニットNUは、2つの選択ゲートトランジスタS1, S2と、これら選択ゲートトランジスタS1, S2間に直列接続されたメモリセルMC0~MCiとから構成される。選択ゲートトランジスタS1のソースは、ソース線CELSRCに接続され、選択ゲートトランジスタS2のドレインは、ビット線BL0~BLjに接続される。選択ゲートトランジスタS1, S2の選択ゲート及びメモリセルMC0~MCiの制御ゲートは、それぞれ選択ゲート線SGS, SGD及びワード線WL0~WLiによって行方向に共通接続される。

#### 【0005】

ここで、メモリセルアレイの書込み単位は、一本のワード線WLに接続されている列方向に並ぶメモリセルMCの集合（ページ）である。これに対し、消去単位は、従来のブロック消去の場合には、セルアレイブロックBLK内の全てのメ

メモリセルMCの集合EUであるが、サブブロック消去の場合には、書込み単位と同様にページ単位での消去がなされる。

#### 【0006】

図12は、NAND型フラッシュメモリの一個のメモリセルMCの断面図およびその閾値分布を示している。メモリセルMCのデータを消去する場合には、図12(a)に示すように、制御ゲート(ワード線)510を接地し、セルのウェル513を消去電圧(例えば20V)に昇圧する。これにより、ソース・ドレイン512のジャンクションは、順方向バイアスになり、昇圧されるので、電荷蓄積層としての浮遊ゲート511とセルのウェル513の間に高電界が印加され、浮遊ゲート511の電子が引き抜かれる。その結果、メモリセルの閾値が低くなる。

#### 【0007】

一方、メモリセルMCにデータを書込む場合には、図12(b)に示すように、セルのウェル513およびソース・ドレイン512を接地し、制御ゲート510を書込み電圧(例えば20V)に昇圧する。このメモリセルと直列に接続された他の全てのメモリセルの制御ゲートには、中間電圧(10V)を与え、ビット線BLにデータとして0Vを与える。これにより、メモリセルのソース・ドレイン間にチャンネルが形成され、浮遊ゲート511とチャンネル間に高電界が印加され、チャンネル内の電子が浮遊ゲート511に注入される。その結果、メモリセルの閾値が高くなる。

#### 【0008】

図12(c)に、メモリセルの閾値分布を示す。メモリセルにデータが書き込まれた状態を“0”データ、消去された状態を“1”データとする。消去セルは、閾値 $V_{th}$ が負の状態となっており、書き込まれたセルは、閾値 $V_{th}$ が、正の状態で $V_{v0}$ 以上、読出し電圧 $V_{read}$ 未満になっている。

#### 【0009】

ここで、図11で示されるセルアレイのうちワード線WL0～WL3に接続されるメモリセルのデータを、従来のブロック消去によって消去する場合、以下のような手順で行われる。

①ブロック B L K において、ワード線 W L 4 に接続されるメモリセル M C 4 のデータを読み出し、別のブロック B L K' のワード線 W L 4 に接続されるメモリセル M C 4' に退避させる。

②ブロック B L K の、ワード線 W L 5 ~ W L i につながる M C 5 ~ M C i についても①と同様にデータのブロック B L K' への退避を行う。

③ブロック B L K を消去する。

メモリセル M C 0 ~ M C 3 のデータを書き換える場合は、③を行ったあと、メモリセル M C 0 ~ M C 3 に対して、それぞれデータを書き込めばよい。

#### 【0010】

ここで、ブロック容量が 128 k B y t e、ページ容量が 2 k B y t e の N A N D 型フラッシュメモリの場合、N A N D セルユニット N U には、32 個のメモリセル M C 0 ~ M C 31 が直列に接続される。したがって、上記①~③を行う場合、①、②で、読み出しを 28 回、書込みを 28 回、③で消去を 1 回行って初めて動作が完了することになり、効率が悪い。

#### 【0011】

サブブロック消去を用いれば、ワード線 W L 0 ~ W L 3 に接続されるメモリセル M C 0 ~ M C 3 のデータを消去する場合、以下のような手順で行うことが出来る。

①ワード線 W L 0 ~ W L 3 に接続されるメモリセル M C 0 ~ M C 3 のデータを消去（サブブロック消去）する。

すなわち、一回の消去動作のみで動作は完了する。

メモリセル M C 0 ~ M C 3 のデータを書き換える場合は、①を行ったあと、メモリセル M C 0 ~ M C 3 に対して、それぞれデータを書き込めばよい。

#### 【0012】

以上のように、サブブロック消去を用いれば、小容量のデータ消去および書き換えを容易に遂行できる。

#### 【0013】

#### 【特許文献 1】

特開平 3-295097 号（4 頁右下欄 15 行～5 頁右上欄 3 行）

## 【0014】

## 【発明が解決しようとする課題】

このように、ブロック消去動作は、NANDセルユニットの全てのメモリセルのデータを一括で消去するのに対して、サブブロック消去は、NANDセルユニットの一部分のメモリセルのデータのみを消去し、それ以外のメモリセルのデータを保持しておくことができる。しかし、サブブロック消去の場合、NANDセルユニットの任意のセルに対して何度でも消去およびデータ書込みが可能になる。つまり、消去回数及びデータ書込み回数の制限が無くなる。このため、選択されたブロック内の特定のページに対してのみ、消去／書込みが繰り返しなされた場合、その選択されたブロック内の特定のページ以外のページの制御ゲートに対して、繰り返し中間電圧（10 V）が加わることになる。これにより、書換えの対象ではないページのメモリセルの閾値が、次第に正電位方向に移動してオーバープログラムセルが発生する可能性がある。

## 【0015】

即ち、図11のメモリセルMC0に既にデータが書き込まれているものとする、従来のブロック消去の場合には、メモリセルMC0のゲートに中間電圧（10 V）が印加される回数は、ブロック内の他の全てのメモリセルMC1～MCiにデータが書き込まれる回数である。これに対し、サブブロック消去を用いる場合は、全てのメモリセルMC0～MCiにデータが書き込まれた後も、サブブロック単位でデータの消去および書込みが可能であるから、任意のメモリセルのゲートに中間電圧が印加される回数は、ブロック消去の場合の回数と、サブブロック消去されたメモリセルが書き込まれる回数の和になる。サブブロック消去が何回も可能であるという設定となっている場合は、中間電圧が印加される時間は無制限になる。

## 【0016】

書込み対象でないメモリセルの制御ゲートに中間電圧を印加する時間の総和が長くなると、メモリセルの閾値 $V_{th}$ が高くなっていくので、メモリセルが、消去されたセル（“1”データセル）ならば、きわめて低い確率であるが、“0”データセルに変化してしまう場合がある。このような場合は、チップ外部のエラー

訂正回路で復号すればよい。しかし、メモリセルが、データの書き込まれたセル（“0”データセル）ならば、きわめて低い確率ではあるが、セルの閾値  $V_{th}$  が、図 12 (c) に示す読出し電圧  $V_{read}$  よりも高くなる場合（オーバープログラム）が考えられる。メモリセルの閾値  $V_{th}$  が読出し電圧  $V_{read}$  よりも高くなると、そのメモリセルが属する NAND セルユニットの全てのメモリセルの読み出しができなくなる。

#### 【0017】

したがって、サブブロック消去ベリファイリードで、消去が完了していないという結果が得られた場合、その結果としては、消去セルが消去されていないか、あるいは消去セルが属する NAND セルユニットで、消去しないセルの中に、閾値  $V_{th}$  が  $V_{read}$  よりも高いもの（オーバープログラムセル）が存在するか、の 2 つの原因が考えられる。しかし、従来の消去ベリファイリード、サブブロックベリファイリード方式では、ベリファイリードにより、消去が完了していないという結果が得られたとしても、上記 2 つのどちらに起因しているものなのかが判断できない。その結果、サブブロック消去時間（消去ループ回数）が長くなり、NAND 型フラッシュメモリに高電圧である消去電圧を余分に印加することになり、消去するセルが過剰に消去され、セルの閾値分布が広くなる、という可能性がある。

#### 【0018】

本発明は、このような点に鑑みなされたもので、過剰なサブブロック消去を防止して、セルの閾値分布の拡散を防止することができる不揮発性半導体記憶装置、そのサブブロック消去方法および電子装置を提供することを目的とする。

#### 【0019】

##### 【課題を解決するための手段】

本発明に係る不揮発性半導体記憶装置のサブブロック消去方法は、半導体基板上に絶縁膜を介して電荷蓄積層と制御ゲートが積層され、前記電荷蓄積層へ電子が注入された書込み状態と、前記電荷蓄積層から電子が引き抜かれた消去状態とを取り得るメモリセルが行方向および列方向に複数配列されてセルアレイブロックを構成し、行方向に並ぶ複数のメモリセルの制御ゲートがワード線によって共

通接続され、列方向に並ぶ複数のメモリセルがNANDセルユニットを構成してビット線に接続された不揮発性半導体記憶装置の前記セルアレイブロックの一部のメモリセルを消去するサブブロック消去方法において、消去対象である前記一部のメモリセルの制御ゲートに前記電荷蓄積層から電子を引き抜くための電圧を与えてサブブロック消去を行うステップと、前記消去対象のメモリセルが消去状態となったか否かを確認するためのサブブロック消去ベリファイリードを行うステップと、前記NANDセルユニット内に、読出し電圧よりも高い閾値を有するオーバープログラムのメモリセルが存在するか否かを確認するためのオーバープログラムベリファイリードを行うステップと、前記サブブロック消去ベリファイリードで前記メモリセルが消去状態となったことが確認されず、且つ前記オーバープログラムメモリセルが存在しない場合には前記サブブロック消去の回数が予め定めた許容回数に達したかどうかを判定し、許容回数に達していない場合には前記サブブロック消去を再実行させ、許容回数に達している場合には消去不能として処理を終了するステップと、前記サブブロック消去ベリファイリードで前記消去対象のメモリセルが消去状態となったときには消去完了として処理を終了するステップと、前記オーバープログラムベリファイリードでオーバープログラムのメモリセルが存在すると判定されたときには消去不能として処理を終了するステップとを備えたことを特徴とする。

#### 【0020】

また、本発明に係る不揮発性半導体記憶装置は、半導体基板上に絶縁膜を介して電荷蓄積層と制御ゲートが積層され、前記電荷蓄積層へ電子が注入された書込み状態と、前記電荷蓄積層から電子が引き抜かれた消去状態とを取り得るメモリセルが行方向および列方向に複数配列されてセルアレイブロックを構成し、行方向に並ぶ複数のメモリセルの制御ゲートがワード線によって共通接続され、列方向に並ぶ複数のメモリセルがNANDセルユニットを構成してビット線に接続されたメモリセルアレイと、このメモリセルアレイに対して前記メモリセルへの書込み、読出し、並びに前記セルアレイブロックの一部のメモリセルを消去するサブブロック消去を行うための電圧を付与する制御手段とを備えた不揮発性半導体記憶装置において、前記制御手段が、消去対象である前記一部のメモリセルの制

御ゲートに前記電荷蓄積層から電子を引き抜くための電圧を与えてサブブロック消去を行う手段と、前記消去対象のメモリセルが消去状態となったか否かを確認するためのサブブロック消去ベリファイリードを行う手段と、前記NANDセルユニット内に、読出し電圧よりも高い閾値を有するオーバープログラムのメモリセルが存在するか否かを確認するためのオーバープログラムベリファイリードを行う手段と、前記サブブロック消去ベリファイリードで前記メモリセルが消去状態となったことが確認されず、且つ前記オーバープログラムメモリセルが存在しない場合には前記サブブロック消去の回数が予め定めた許容回数に達したかどうかを判定し、許容回数に達していない場合には前記サブブロック消去を再実行させ、許容回数に達している場合には消去不能として処理を終了する手段と、前記サブブロック消去ベリファイリードで前記消去対象のメモリセルが消去状態となったときには消去完了として処理を終了する手段と、前記オーバープログラムベリファイリードでオーバープログラムのメモリセルが存在すると判定されたときには消去不能として処理を終了する手段とを備えていることを特徴とする。

#### 【0021】

##### 【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

図1は、この発明の実施の形態によるNAND型フラッシュメモリの機能ブロック図である。セルアレイ1は、複数の浮遊ゲート型メモリセルをマトリクス配列して構成される。ロウデコーダ（ワード線ドライバを含む）2は、セルアレイ1のブロック選択及びワード線や選択ゲート線の選択駆動を行う。センスアンプ回路3は、セルアレイ1のビット線のデータをセンスする1ページ分のセンスアンプを備えてページバッファを構成する。

#### 【0022】

1ページ分の読み出しデータは、カラムデコーダ（カラムゲート）4により選択されて、I/Oバッファ9を介して外部I/O端子に出力される。外部I/O端子には、例えば図示しないエラー訂正回路が接続されている。勿論、エラー訂正回路は、チップの内部に搭載されていても良い。I/O端子から供給される書き込みデータは、I/Oバッファ9を介してカラムデコーダ4に与えられ、カラ

ムデコーダ 4 により選択されてセンスアンプ回路 3 にロードされる。アドレス信号  $A_{dd}$  は I/O バッファ 9 を介して入力され、ロウ及びカラムアドレスがそれぞれロウアドレスレジスタ 5 a 及びカラムアドレスレジスタ 5 b に転送される。

#### 【0023】

ロジックコントローラ 6 は、書き込みイネーブル信号  $/WE$ 、読み出しイネーブル信号  $/RE$ 、アドレスラッチイネーブル信号  $ALE$ 、コマンドラッチイネーブル信号  $CLE$  等の制御信号に基づいて、読み出し、書き込み及び消去動作の内部タイミング信号を出力する。また、シーケンスコントローラ 7 は、これらのタイミング信号に基づいてデータ書き込み及び消去のシーケンス制御を行い、データ読み出し動作制御を行う。高電圧発生回路 8 は、シーケンスコントローラ 7 により制御されて、データ書き込みや消去に用いられる種々の高電圧を発生する。これらコントローラ 6, 7 及び高電圧発生回路 8 は、制御手段を構成している。

#### 【0024】

実際のメモリチップ上では、セルアレイ 1 は、互いに物理的に独立した複数のセルアレイブロックにより構成される。図 2 は、 $m$  個のセルアレイブロック  $BLK_i$  ( $i = 0 \sim m-1$ ) が配置された例を示している。各セルアレイブロック  $BLK_i$  は、互いに交差する複数のワード線  $WL$  とビット線  $BL$  とを有する。ビット線  $BL$  は、全セルアレイブロック  $BLK_i$  にまたがって敷設される。各ワード線  $WL$  とビット線  $BL$  の交差部にメモリセル  $MC$  が配置される。複数個 (図の例では 16 個) の浮遊ゲート型メモリセル  $MC_0 \sim MC_{15}$  は直列接続されてセルストリングを構成する。セルストリングの一端側セルのソースと共通ソース線  $CESRC$  の間には選択ゲートトランジスタ  $S_1$  が挿入され、他端側セルのドレインとビット線  $BL$  との間には選択ゲートトランジスタ  $S_2$  が挿入されている。一つのセルストリングとその両端に接続された二つの選択トランジスタにより、NANDセルユニット  $NU$  が構成されている。

#### 【0025】

各メモリセル  $MC_0 \sim MC_{15}$  の制御ゲートは、ワード線  $WL_0 \sim WL_{15}$  に接続され、選択ゲートトランジスタ  $S_1$ ,  $S_2$  の選択ゲートは、それぞれワード線  $WL$  と並行に配設された選択ゲート線  $SGS$ ,  $SGD$  に接続されている。一本



のワード線WLに沿った複数のメモリセルMCの集合がデータ読み出し及び書き込みの単位である1ページとなる。前述のように、ワード線WL方向に並ぶ複数のNANDセルユニットの集合は、ブロック消去の場合のデータ消去の単位となる。また、サブブロック消去の場合には、1又は複数のページがデータ消去の単位となる。

#### 【0026】

次に、このように構成されたNAND型フラッシュメモリの書込み、消去、読み出し、及び各種ベリファイリード動作について説明する。

#### 【0027】

##### (1) メモリセルへのデータ書込み時

図3(a)に、メモリセルへのデータ書込み時のNANDセルユニットNUへの電圧印加条件を示す。なお、ここでは、メモリセルMC1にデータを書き込む例を示している。データ書き込み時には、データを書き込むメモリセルMC1の制御ゲートに高電圧 $V_{pp}$ (=20V程度)を印加し、それ以外のメモリセルMC0, MC2, MC3, ..., MCiの制御ゲートには中間電位 $V_{ppM}$ (=10V程度)を印加する。また、ソース線CELSRC側の選択ゲート線SGSには接地電位を与え、ビット線BL側の選択ゲート線SGDには電源電位 $V_{dd}$ を印加する。そして、ビット線BLには、“1”データを維持する場合には中間電位または $V_{dd}$ を印加し、“0”データを書き込む場合には0Vを与える。ソース線CELSRCには、中間電位或いは $V_{dd}$ を印加する。

#### 【0028】

ビット線BLの電位は、選択ゲートトランジスタS2及び非選択メモリセルMCi, ..., MC2を通して選択メモリセルMC1のドレインまで伝達される。ビット線BLに0Vが与えられた時(書き込みデータがあるとき、すなわち“0”データのとき)、その電位は選択メモリセルMC1のドレインまで伝達されて、選択メモリセルMC1のゲート・ドレイン間に高電界がかかり、ドレイン(基板)から浮遊ゲートに電子がトンネル注入される。これにより、選択メモリセルMC1のしきい値 $V_{th}$ は正方向にシフトする。一方、ビット線BLに中間電位が与えられたとき(書き込むべきデータがないとき、すなわち“1”データのとき)

は、電子注入が起こらず、従ってしきい値  $V_{th}$  は変化せず負に止まる。

### 【0029】

#### (2) メモリセルのブロック消去時

図3 (b) に、ブロック消去時の NAND セルユニット NU への電圧印加条件を示す。選択されたブロック BLK 内の全てのデータの消去時は、選択されたブロック内の全てのメモリセル MC0 ~ MCi の制御ゲートに接地電位を与え、非選択のブロック内の全てのメモリセルの制御ゲート、全てのブロックの全ての選択ゲート SGS, SGD、ビット線 BL およびソース線 CELSRC を浮遊状態として、セルのウェルに高電位の消去電位 (20 V 程度) を印加する。これにより、選択されたブロックのメモリセルの浮遊ゲートに保持されていた電子がウェル内に放出され、ブロック単位の消去が行われる。このとき、非選択のブロック内の全ての制御ゲート、全てのブロック内の全ての選択ゲート線、ビット線およびソース線もまた、容量結合 (例えば、選択ゲート線の場合は、選択ゲートトランジスタのゲート容量と、選択ゲート線の対接地容量との容量結合) によって、消去電位近くまで電位が上昇する。

### 【0030】

#### (3) メモリセルからのデータ読出し時

図3 (c) に、NAND セルユニット NU の読み出し時の電圧印加条件を示す。メモリセル MC1 からデータを読み出す場合には、選択されたメモリセル MC1 の制御ゲートを 0 V とし、それ以外のメモリセル MC0, MC2, ..., MCi の制御ゲートおよび選択ゲートを読み出し電位 (4 V 程度) として、選択ゲートトランジスタ S1, S2 および非選択メモリセル MC0, MC2, ..., MCi のトランジスタをオンさせる。また、ビット線 BL を例えば 1 V、ソース線 CELSRC を 0 V とする。このとき、選択メモリセル MC1 に “0” データが書き込まれている場合にはメモリセル MC1 はオフ、選択メモリセル MC1 に “1” データが書き込まれている場合にはメモリセル MC1 はオンになるので、ビット線 BL に流れる電流を検出することにより、“0”、“1” の判別がなされる。非選択ブロックの制御ゲートはすべて浮遊状態とする。

### 【0031】

#### (4) 消去ベリファイリード時

図3 (d) に、NANDセルユニットNUの消去ベリファイリード時の電圧印加条件を示す。MC 1を読み出す場合を示している。ソース線CELSRCから、中間電位あるいはVddを与え、ビット線BLには接地電位を与えておく。選択されたブロック内の全ての制御ゲートを0Vとし、選択ゲートSGS, SGDを読み出し電位(4V程度)とする。その後、ビット線BLに充電される電圧を読むことにより、消去完了(BLがVdd)あるいは消去未完了(BLが0V)の判定を行う。この消去ベリファイリードは、選択されたブロック内の全てのメモリセルMC 0~MC iが消去されていれば、全てのメモリセルMC 0~MC iが導通状態になるので、ソース線CELSRCの電位がビット線BLまで伝達されることを利用している。また非選択ブロックの制御ゲートはすべて浮遊状態とする。

#### 【0032】

#### (5) サブブロック消去時

図4 (a) に、NANDセルのサブブロック消去時の電圧印加条件を示す。ここでは、メモリセルMC 0およびMC 1を消去する場合を例として示している。サブブロック消去は、選択されたブロックにおいて、消去を行うメモリセルMC 0, MC 1の制御ゲートに接地電位を与え、消去を行わないメモリセルMC 2, ..., MC iの制御ゲートを浮遊状態にし、非選択のブロック内の全ての制御ゲート、全てのNANDセルブロック内の全ての選択ゲート、ビット線およびソース線を浮遊状態として、セルのウェルに高電位の消去電位(20V程度)を印加する。これにより、選択されたブロックの消去を行うメモリセルにおいて浮遊ゲートの電子がウェルに放出され、選択された制御ゲート線単位の消去が行われる。このとき、非選択のブロック内の全ての制御ゲート、全てのブロック内の全ての選択ゲート、ビット線およびソース線が、容量結合(例えば、選択ゲート線の場合は、選択ゲートトランジスタのゲート容量と、選択ゲート線の対接地容量との容量結合)によって消去電位近くまで電位が上昇する。

#### 【0033】

#### (6) サブブロック消去ベリファイリード時

図4 (b) に、NANDセルユニットNUのサブブロック消去ベリファイリード時の電圧印加条件を示す。ここでは、セルアレイMC0およびMC1を読み出す場合を例として示している。ソース線CELSRCから、中間電位あるいはV<sub>dd</sub>を与え、ビット線BLには接地電位を与えておく。選択されたブロック内において、消去を行ったメモリセルMC0, MC1の制御ゲートは接地電位とし、消去を行わなかったメモリセルMC2, ..., MC<sub>i</sub>の制御ゲートは読み出し電位（4V程度）とし、選択ゲートSGD, SGSを読み出し電位（4V程度）とする。その後、ビット線BLに充電される電圧を読むことにより、消去完了（BLがV<sub>dd</sub>）あるいは消去未完了（BLが0V）の判定を行う。消去されなかったメモリセルは、制御ゲートに読み出し電圧が印加されているので、導通状態になり、消去を行ったメモリセルは、消去完了していれば、導通する。したがって、サブブロック消去が完了していれば、CELSRCの電位がBLまで伝達されることを利用している。また非選択ブロックの制御ゲート線は全て浮遊状態である。

#### 【0034】

##### (7) オーバープログラムベリファイリード時

図4 (c) に、NANDセルユニットNUのオーバープログラムベリファイリード時の電圧印加条件を示す。ソース線CELSRCから、中間電位あるいはV<sub>dd</sub>を与え、ビット線BLには接地電位を与えておく。選択されたブロック内の全ての制御ゲートに読み出し電位（4V程度）を与え、選択ゲートSGS, SGDを読み出し電位（4V程度）とする。その後、ビット線BLに充電される電圧を検出することにより、メモリセルMCに、読出し電圧V<sub>read</sub>より高い閾値のセルがある（ビット線BLが0V）か否か（ビット線BLがV<sub>dd</sub>）を判別する。このオーバープログラムベリファイは、選択されたブロック内の全てのメモリセルの閾値が読み出し電圧より低ければ、全てのメモリセルが導通状態になるので、ソース線CELSRCの電位がビット線BLまで伝達されることを利用している。また非選択ブロックの制御ゲートは全て浮遊状態とする。

#### 【0035】

次に、このNAND型フラッシュメモリのロジックコントローラ6、シーケンスコントローラ7及び高電圧発生回路8が実行するサブブロック消去およびベリ

ファイリードについて説明する。

### 【0036】

#### [第1の実施の形態]

図5は、本発明の第1の実施形態に係るサブブロック消去およびそのベリファイリードを示すフローチャートである。

まず、サブブロック消去開始 (start) 後、サブブロック消去の行われた回数Nが0に設定され (S1)、サブブロック消去が実行される (S2)。その後、N=1に更新され (S3)、図4 (b) に示すサブブロック消去ベリファイリードが実行される (S4)。サブブロック消去ベリファイリードの結果、サブブロック消去が完了 (Pass) していれば、サブブロック消去を終了する (S5)。サブブロック消去が未完了 (Fail) であれば、サブブロック消去を繰り返すのがこれまでの方法であった。しかし、この場合には、前述したように、消去すべきセルが未だ消去されていないか、あるいは消去セルが属するNANDセルユニットの中でオーバープログラムセルが存在するか、の2つの可能性が考えられる。

### 【0037】

そこで、この第1の実施形態では、サブブロック消去ベリファイリード (S4) の結果、サブブロック消去が未完了 (Fail) であれば、更に、図4 (c) に示したオーバープログラムベリファイリードを行い、サブブロック消去ベリファイ結果がFailになった原因が、消去セルが消去されていないためなのか、それとも、消去セルが属するNANDセルで、消去しないセルの中に、 $V_{th}$ が $V_{read}$ よりも高いもの (オーバープログラムセル) が存在するためなのかを判定する (S6)。そして、オーバープログラムベリファイリードの結果、Passであれば、サブブロック消去が未完了であることを意味するので、Nがサブブロック消去の繰り返し回数許容値 $N_{max}$ に達していない場合 (S7)、サブブロック消去動作に戻り、上述の動作を繰り返す (S2)。Nが $N_{max}$ に達した場合は、サブブロック消去が行えなかった (Fail) という結果を出力し、動作を完了する (S8)。

### 【0038】

また、オーバープログラムベリファイリード (S6) が F a i l であれば、消去しないセルの中に、閾値  $V_{th}$  が  $V_{read}$  よりも高いもの (オーバープログラムセル) が存在することを意味するので、これ以上サブブロック消去を行っても、消去が完了しない。したがって、サブブロック消去を行えなかった (F a i l) 結果を出力し、動作を完了する (S8)。

#### 【0039】

本実施形態の場合、サブブロック消去ベリファイのシーケンスで、オーバープログラムベリファイリードを行うことで、サブブロック消去が未完了と判定された原因を解明でき、以降、サブブロック消去が続行できるか否かが判別できる。したがって、過剰に書き込まれた閾値  $V_{th}$  の高いメモリセルが存在するか否かを検知することができ、サブブロック消去時間 (消去ループ回数) を短縮でき、NAND型フラッシュメモリに高電圧である消去電圧を印加する回数を減らすことができる。この結果、消去するセルが過剰に消去されるのを防ぐことができ、セルの閾値分布を狭くすることができる。

#### 【0040】

なお、オーバープログラムベリファイリードの所要時間は、サブブロック消去ベリファイリードの所要時間と同じくらいである。しかし、サブブロック消去時間と比較すると、所要時間は十分短い (1/100程度) ので、オーバープログラムベリファイリードを追加したことにより、チップのパフォーマンスを低下させることはない。

#### 【0041】

##### [第2の実施の形態]

図6は、本発明の第2の実施形態に係るサブブロック消去およびそのベリファイリードを示すフローチャートである。

本実施形態が図5に示す第1の実施形態と異なるのは、サブブロック消去ベリファイリード (S4) と、オーバープログラムベリファイリード (S6) を行う順番である。本発明の第2の実施形態では、サブブロック消去 (S2) を実行し、Nを更新したあと (S3)、オーバープログラムベリファイリード (S6) を行い、その後でサブブロック消去ベリファイリード (S4) を行う。

## 【0042】

オーバープログラムベリファイリードを、サブブロック消去ベリファイリードより先に行うことによって、サブブロック消去を続行できないメモリセルがあるか否かをサブブロック消去ベリファイリードを行う前に判別することができる。

オーバープログラムベリファイリードの結果が P a s s の場合は、サブブロック消去ベリファイリードを行う。F a i l の場合は、サブブロック消去を続行しても消去を完了できないので、サブブロック消去を行えなかった (F a i l) 結果を出力し、動作を終了する (S 8)。

## 【0043】

したがって、オーバープログラムベリファイリードが F a i l の場合は、無駄なサブブロック消去ベリファイリードを省くことができる。また、オーバープログラムベリファイリードの後で行ったサブブロック消去ベリファイリードの出力結果は、P a s s の場合は、サブブロック消去の完了を意味し、F a i l の場合は、サブブロック消去未完了のみを意味することになり、サブブロック消去ベリファイリード結果から正確な検証結果を得ることができる。

## 【0044】

## [第3の実施の形態]

図7は、本発明の第3の実施形態に係わるサブブロック消去およびそのベリファイリードを示すフローチャートである。この第3の実施形態は、第2の実施形態を変形したものである。図6と異なるのは、以下の3点である。

## 【0045】

①オーバープログラムベリファイリード、あるいはサブブロック消去ベリファイリードで F a i l になった場合、F a i l になっているメモリセルのビット数 (ビット線の本数) を数えること。

②図示しないチップ外部のエラー訂正回路でエラー訂正可能なメモリセルのビット数 (F a i l ビット数) を許容上限値 (M A X) とし、F a i l ビット数が許容上限値以下であれば、擬似パス (P s e u d o P a s s) として、サブブロック消去を終了させること。

③オーバープログラムベリファイリードで X 個の F a i l ビットがあった場合

、該当するX個のメモリセルは、サブブロック消去ベリファイリードでは、読み出し回路から強制的にF a i l出力される、即ち確認する対象から強制的に外されるように設定すること、である。

#### 【0046】

図7において、サブブロック消去を行った後(S2)、オーバープログラムベリファイリード(S6)でXビットのF a i lが得られた場合、XがMAX以下であれば(S11)、サブブロック消去ベリファイリードを行う(S4)。XがMAXを超えた場合は、F a i lを出力して動作を終了する(S8)。サブブロック消去ベリファイリード(S4)でF a i lビットがなかった場合(Y=0)は、上記X=0の場合(S12)のみ、真性のサブブロック消去完了(P a s s)結果を出力して、動作を完了する(S5)。サブブロック消去ベリファイリード(S4)で、F a i lビット数がY個の場合は、X+YがMAX以下であれば(S13)、擬似的にサブブロック消去が完了した擬似パス(P s e u d o P a s s)結果を出力して、動作を完了する(S14)。X+YがMAXを超えた場合は、消去回数Nが上限(Nmax)に達していない場合は(S7)、サブブロック消去を繰り返す(S2)。消去回数NがNmaxに達した場合は(S7)、サブブロック消去が完了しない(F a i l)結果を出力し、動作を完了する(S8)。

#### 【0047】

本実施形態では、F a i lビット数をカウントし、外部エラー訂正回路又はチップ内部のエラー訂正回路を利用することを前提に、F a i lビット数が訂正可能な許容上限値以下であれば、消去回数NがNmaxに達していない場合は、サブブロック消去を続行し、消去回数NがNmaxに達した場合は、疑似パスとしてサブブロック消去を完了する。例えば、1ページの情報ビットが528ビットで、BCH (Bose-Chaudhuri-Hocquenghem) 符号を用いるとすると、21ビットの検査ビットで、2ビット誤り訂正3ビット誤り検出が可能である。従って、セルアレイ1に528ビットの情報ビットの他に21ビットの冗長ビットを余分に記憶しておけば良い。



## 【0048】

これにより、F a i l ビットが存在しても、サブブロック消去を行うことができる。サブブロック消去ベリファイリードの結果がF a i l で終了した場合でも、オーバープログラムベリファイリードとサブブロック消去ベリファイリードのF a i l ビット数がエラー訂正可能な許容範囲であれば、サブブロック消去が完了したとして以後の処理を続行することができる。なお、該当データのブロックは、不良ブロックの扱いにして、該当ブロックのデータを他のブロックに移動するようにしても良い。この第3の実施形態によれば、不良ブロックの数を抑え、メモリ領域を有効に使用することが可能になる。

## 【0049】

このように、NAND型フラッシュメモリのサブブロック消去が完了したかどうかを検証する読み出し（サブブロック消去ベリファイリード）動作に関して、サブブロック消去動作と、サブブロック消去ベリファイリード動作との間に、オーバープログラムベリファイリードを行うことで、過剰に書き込まれたV<sub>th</sub>の高いメモリセルが存在するか否かを検知することができる。その結果、サブブロック消去時間（消去ループ回数）を短縮でき、NANDフラッシュに高電圧である消去電圧を印加する回数を減らすことができ、消去するセルが過剰に消去されるのを防ぎ、セルの閾値分布を狭くできる。

## 【0050】

また、オーバープログラムベリファイでファイルしているメモリセルがあったとしても、外部エラー訂正回路の許容量を定め、許容量以下であれば、許可することができる。オーバープログラムベリファイでファイルしているメモリセルは、サブブロック消去ベリファイリードでは、確認対象外とすることで、サブブロック消去時間（消去ループ回数）を短縮でき、NANDフラッシュに高電圧である消去電圧を印加する回数を減らすことができ、消去するセルが過剰に消去されるのを防ぎ、セルの閾値分布を狭くできる。また、不良ブロックの発生を抑え、メモリセル領域を有効に使用することができる。

## 【0051】

また、オーバープログラムベリファイでF a i l しているメモリセル数が、外

部エラー訂正回路の許容量以上であれば、動作を終了させることで、サブブロック消去ベリファイリード時間を省くことができ、動作を高速化できる。

#### 【0052】

なお、センスアンプ3に記憶保持回路（SRAMラッチあるいはダイナミックキャパシタ）を具備しておき、この記憶保持回路に、オーバープログラムベリファイリード結果、サブブロック消去ベリファイリード結果を格納させ、オーバープログラムベリファイでF a i lしているメモリセルは、両者の演算出力として、サブブロック消去ベリファイリードがパスした信号を出力させるようにすることもできる。

#### 【0053】

また、サブブロック消去ベリファイリードとオーバープログラムベリファイリードは、バイアス条件が類似しているので、消去対象のメモリセルのワード線の電圧を変化させるだけで連続して行うことができる。これにより、オーバープログラムベリファイリード時間と、サブブロック消去ベリファイリード時間の総和を短縮することができ、動作を高速化することができる。

#### 【0054】

なお、本発明は、メモリセルとして、チャネル領域とコントロールゲートとの間のゲート絶縁層が酸化シリコン層と窒化シリコン層との積層膜からなり、窒化シリコン層（電荷蓄積層）に電荷がトラップされるMONOS（Metal Oxide Nitride Oxide Semiconductor）型もしくはSONOS（Silicon Oxide Nitride Oxide Silicon）型の半導体装置にも適用可能である。

#### 【0055】

次に、上記各実施形態による不揮発性半導体記憶装置を搭載した電子カードと、その電子カードを用いた電子装置の実施の形態を説明する。

図8は、この実施の形態による電子カードと、この電子カードを用いた電子装置の構成を示す。ここでは電子装置は、携帯電子機器の一例としてのデジタルスチルカメラ101を示す。電子カードは、デジタルスチルカメラ101の記録媒体として用いられるメモリカード61である。メモリカード61は、先の各実施の形態で説明した不揮発性半導体装置が集積化され封止されたICパッケージ

ジPK1を有する。

#### 【0056】

デジタルスチルカメラ101のケースには、カードスロット102と、このカードスロット102に接続された、図示しない回路基板が収納されている。メモリカード61は、カードスロット102に取り外し可能に装着される。メモリカード61は、カードスロット102に装着されると、回路基板上の電気回路に電氣的に接続される。

電子カードが例えば、非接触型のICカードである場合、カードスロット102に収納し、或いは近づけることによって、回路基板上の電気回路に無線信号により接続される。

#### 【0057】

図9は、デジタルスチルカメラの基本的な構成を示す。被写体からの光は、レンズ103により集光されて撮像装置104に入力される。撮像装置104は例えばCMOSイメージセンサであり、入力された光を光電変換し、アナログ信号を出力する。このアナログ信号は、アナログ増幅器(AMP)により増幅された後、A/Dコンバータによりデジタル変換される。変換された信号は、カメラ信号処理回路105に入力され、例えば自動露出制御(AE)、自動ホワイトバランス制御(AWB)、及び色分離処理を行った後、輝度信号と色差信号に変換される。

#### 【0058】

画像をモニターする場合、カメラ信号処理回路105から出力された信号はビデオ信号処理回路106に入力され、ビデオ信号に変換される。ビデオ信号の方式としては、例えばNTSC(National Television System Committee)を挙げることができる。ビデオ信号は、表示信号処理回路107を介して、デジタルスチルカメラ101に取り付けられた表示部108に出力される。表示部108は例えば液晶モニターである。

#### 【0059】

ビデオ信号は、ビデオドライバ109を介してビデオ出力端子110に与えられる。デジタルスチルカメラ101により撮像された画像は、ビデオ出力端子

110を介して、例えばテレビジョン等の画像機器に出力することができる。これにより、撮像した画像を表示部108以外でも表示することができる。撮像装置104、アナログ増幅器（AMP）、A/Dコンバータ（A/D）、カメラ信号処理回路105は、マイクロコンピュータ111により制御される。

#### 【0060】

画像をキャプチャする場合、操作ボタン例えばシャッターボタン112を操作者が押す。これにより、マイクロコンピュータ111が、メモリコントローラ113を制御し、カメラ信号処理回路105から出力された信号がフレーム画像としてビデオメモリ114に書き込まれる。ビデオメモリ114に書き込まれたフレーム画像は、圧縮／伸張処理回路115により、所定の圧縮フォーマットに基づいて圧縮され、カードインタフェース116を介してカードスロット102に装着されているメモリカード61に記録される。

#### 【0061】

記録した画像を再生する場合、メモリカード61に記録されている画像を、カードインタフェース116を介して読み出し、圧縮／伸張処理回路115により伸張した後、ビデオメモリ114に書き込む。書き込まれた画像はビデオ信号処理回路106に入力され、画像をモニターする場合と同様に、表示部108や画像機器に映し出される。

#### 【0062】

なおこの構成では、回路基板100上に、カードスロット102、撮像装置104、アナログ増幅器（AMP）、A/Dコンバータ（A/D）、カメラ信号処理回路105、ビデオ信号処理回路106、メモリコントローラ113、ビデオメモリ114、圧縮／伸張処理回路115、及びカードインタフェース116が実装される。

但しカードスロット102については、回路基板100上に実装される必要はなく、コネクタケーブル等により回路基板100に接続されるようにしてもよい。

#### 【0063】

回路基板100上には更に、電源回路117が実装される。電源回路117は

、外部電源、或いは電池からの電源の供給を受け、デジタルスチルカメラの内部で使用する内部電源電圧を発生する。電源回路 117 として、DC-DC コンバータを用いてもよい。内部電源電圧は、上述した各回路に供給される他、ストロボ 118、表示部 108 にも供給される。

#### 【0064】

以上のようにこの実施の形態の電子カードは、デジタルスチルカメラ等の携帯電子機器に用いることが可能である。更にこの電子カードは、携帯電子機器だけでなく、図 10A-10J に示すような他の各種電子機器に適用することができる。即ち、図 10A に示すビデオカメラ、図 10B に示すテレビジョン、図 10C に示すオーディオ機器、図 10D に示すゲーム機器、図 10E に示す電子楽器、図 10F に示す携帯電話、図 10G に示すパーソナルコンピュータ、図 10H に示すパーソナルデジタルアシスタント (PDA)、図 10I に示すヴォイスレコーダ、図 10J に示す PC カード等に、上記電子カードを用いることができる。

#### 【0065】

##### 【発明の効果】

以上述べたように、本発明によれば、サブブロック消去動作と、サブブロック消去ベリファイリード動作に加えて、オーバープログラムベリファイリードを行うようにしているので、過剰に書き込みがなされた閾値  $V_{th}$  の高いメモリセルが存在する場合には、これを検知することができ、その結果と、サブブロック消去ベリファイリードの結果とから消去が終了しない場合のサブブロック消去動作を終了することで、サブブロック消去時間 (消去ループ回数) を短縮でき、メモリセルに高電圧である消去電圧を印加する回数を減らすことができる。これにより、消去対象のメモリセルが過剰に消去されるのを防止して、セルの閾値分布を狭くすることができる。

##### 【図面の簡単な説明】

#### 【図 1】

本発明の一実施形態に係る NAND 型フラッシュメモリの構成を示すブロック図である。

**【図 2】**

同フラッシュメモリにおけるメモリセルの構成を示す回路図である。

**【図 3】**

同フラッシュメモリの書込み、ブロック消去、読み出し及びブロック消去ベリファイリード時の電圧印加パターンを示す図である。

**【図 4】**

同フラッシュメモリのサブブロック消去、サブブロック消去ベリファイリードおよびオーバープログラムベリファイリード時の電圧印加パターンを示す図である。

**【図 5】**

本発明の第 1 の実施形態に係るサブブロック消去およびそのベリファイリードのフローチャートである。

**【図 6】**

本発明の第 2 の実施形態に係るサブブロック消去およびそのベリファイリードのフローチャートである。

**【図 7】**

本発明の第 3 の実施形態に係るサブブロック消去およびそのベリファイリードのフローチャートである。

**【図 8】**

デジタルスチルカメラに適用した実施の形態を示す図である。

**【図 9】**

同デジタルスチルカメラの内部構成を示す図である。

**【図 10A】**

ビデオカメラに適用した実施の形態を示す図である。

**【図 10B】**

テレビジョンに適用した実施の形態を示す図である。

**【図 10C】**

オーディオ機器に適用した実施の形態を示す図である。

**【図 10D】**

ゲーム機器に適用した実施の形態を示す図である。

【図 10 E】

電子楽器に適用した実施の形態を示す図である。

【図 10 F】

携帯電話に適用した実施の形態を示す図である。

【図 10 G】

パーソナルコンピュータに適用した実施の形態を示す図である。

【図 10 H】

パーソナルデジタルアシスタント (PDA) に適用した実施の形態を示す図である。

【図 10 I】

ヴォイスレコーダに適用した実施の形態を示す図である。

【図 10 J】

PCカードに適用した実施の形態を示す図である。

【図 11】

NAND型フラッシュメモリのメモリセルアレイの一部を抽出して示す図である。

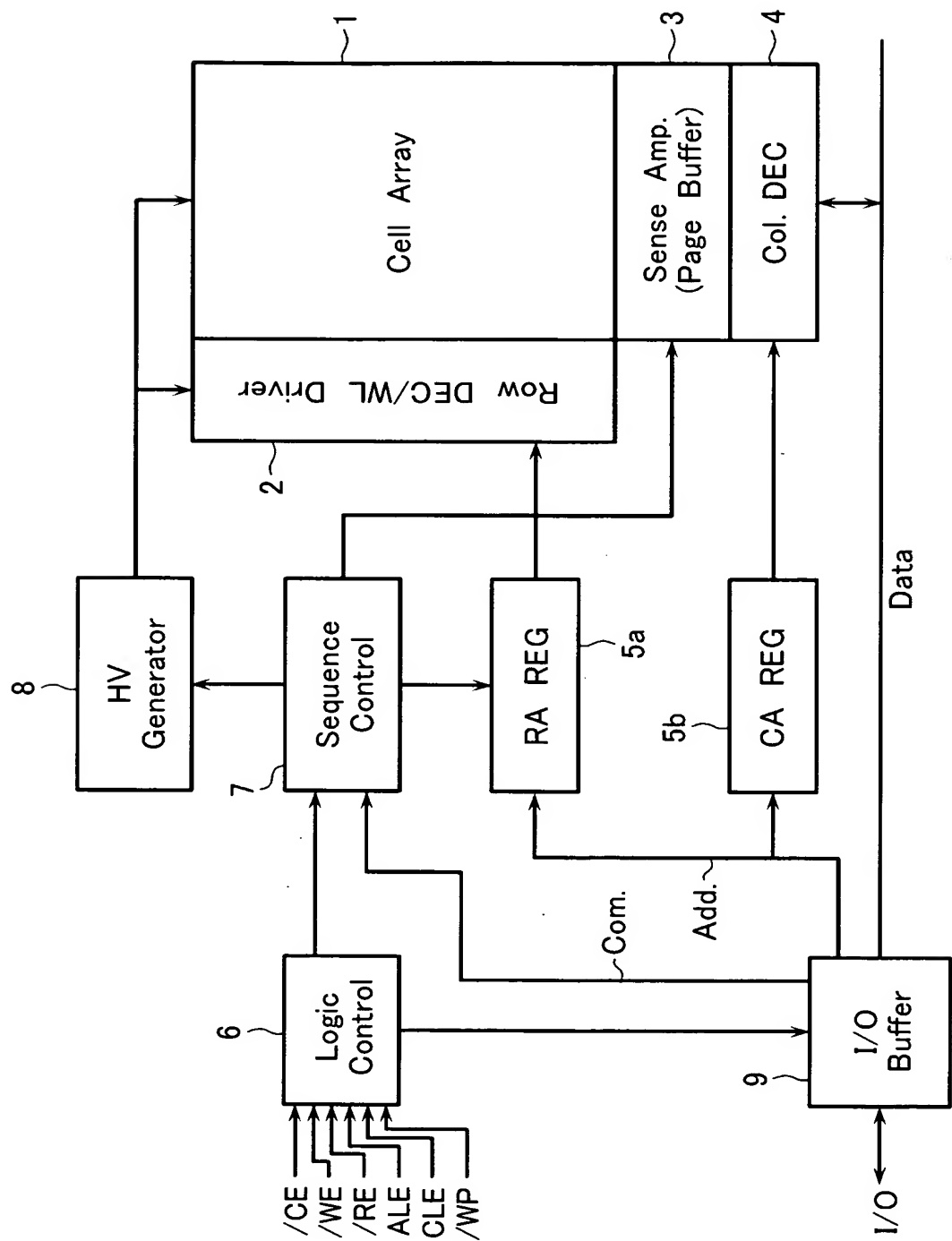
【図 12】

NAND型フラッシュメモリの一個のメモリセルMCの断面図およびその閾値分布を示す図である。

【符号の説明】

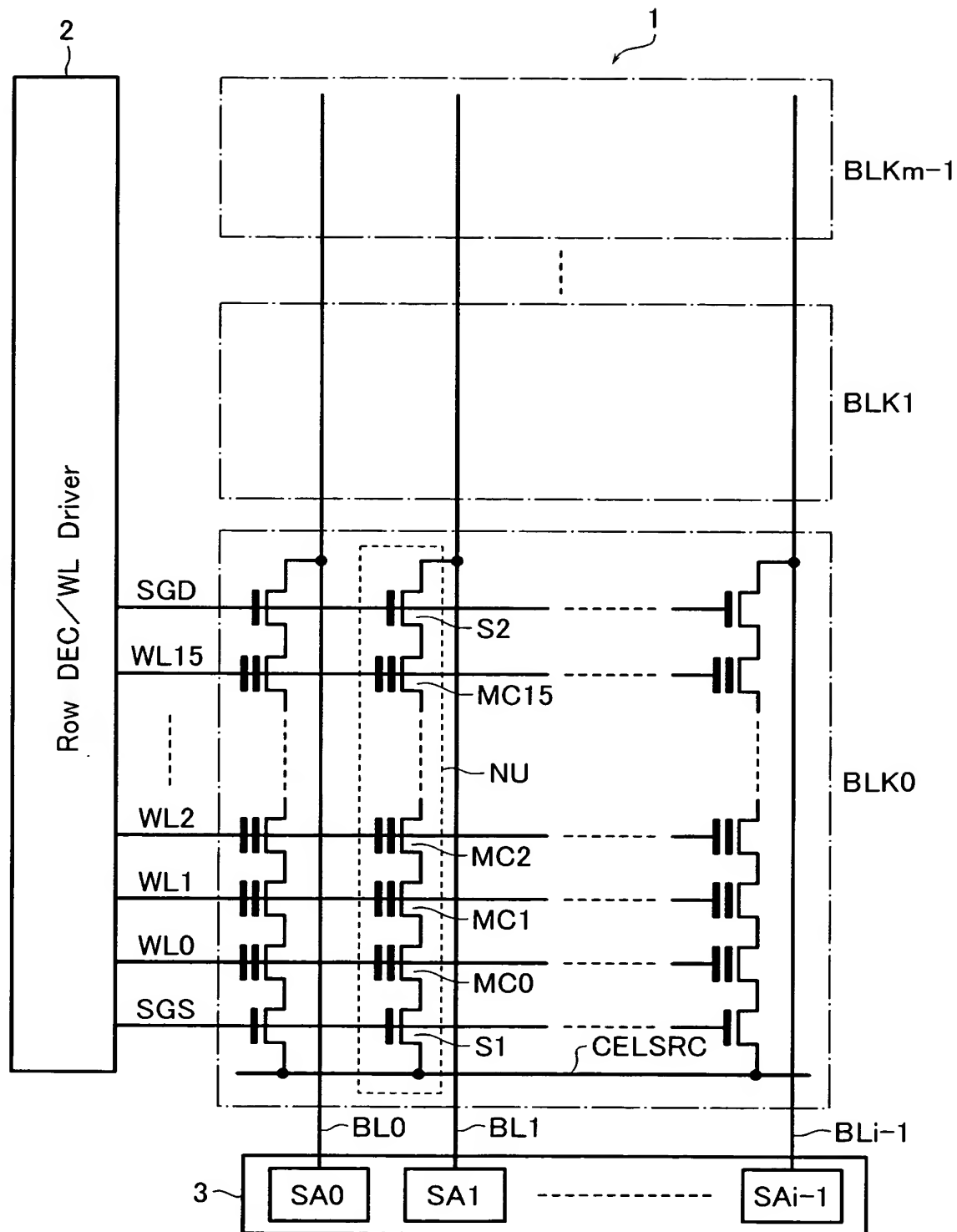
1…セルアレイ、2…ロウデコーダ、3…センスアンプ回路、4…カラムデコーダ、5 a…ロウアドレスレジスタ、5 b…カラムアドレスレジスタ、6…ロジックコントローラ、7…シーケンスコントローラ、8…高電圧発生回路、9…I/Oバッファ、MC 0～MC 15…メモリセル、S 1, S 2…選択ゲートトランジスタ、BL 0～BL i-1…ビット線、WL 0～WL 15…ワード線、SGS, SGD…選択ゲート線、BLK 0～BLK m-1…セルアレイブロック、NU…NANDセルユニット。

【書類名】 図面  
【図 1】

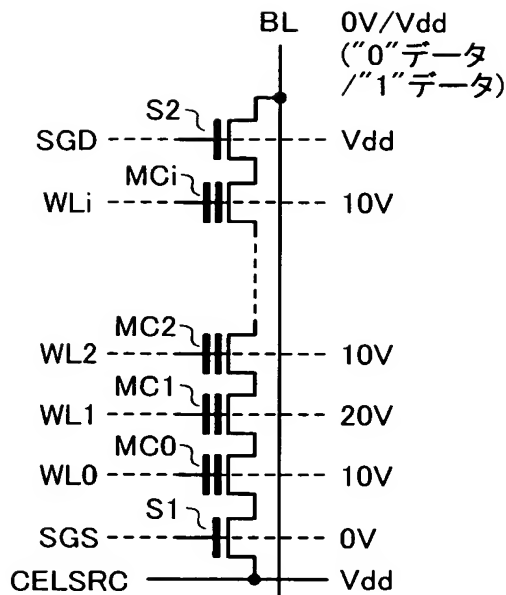




【図 2】

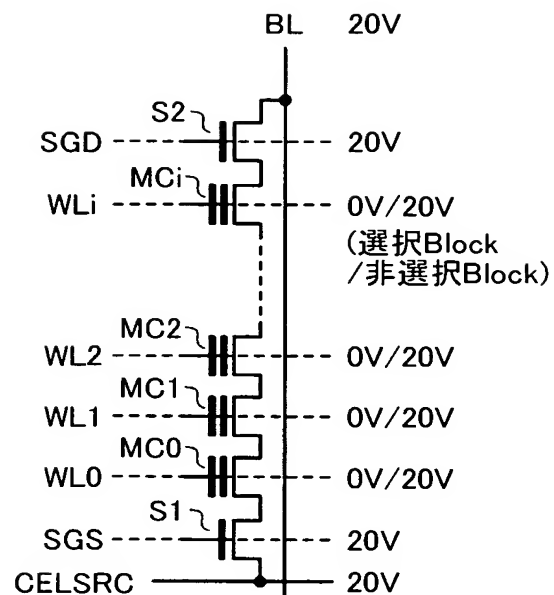


【図 3】



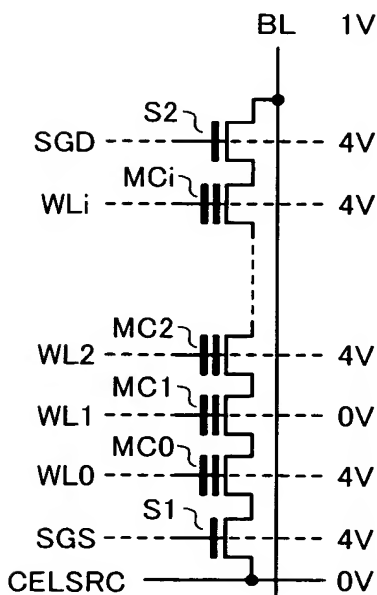
Cell Well 0V

(a) Program



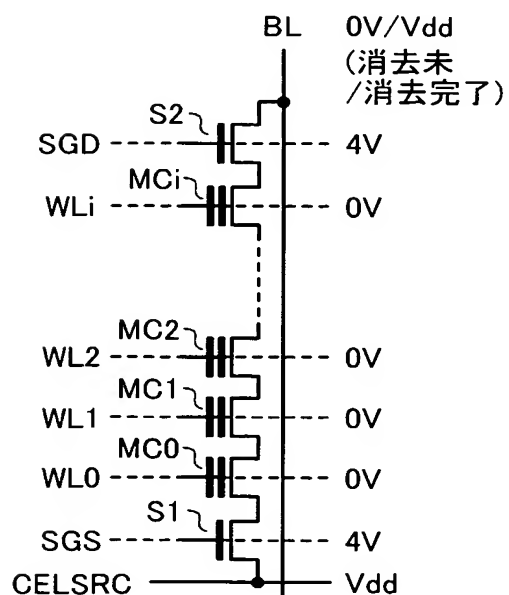
Cell Well 20V

(b) Erase



Cell Well 0V

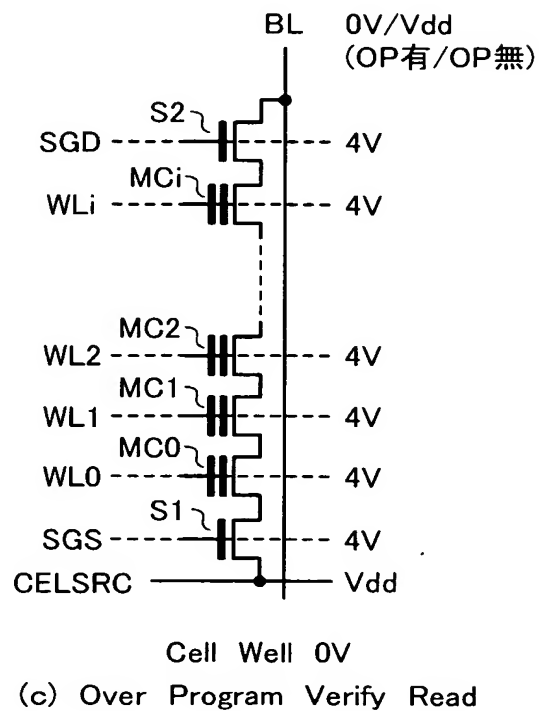
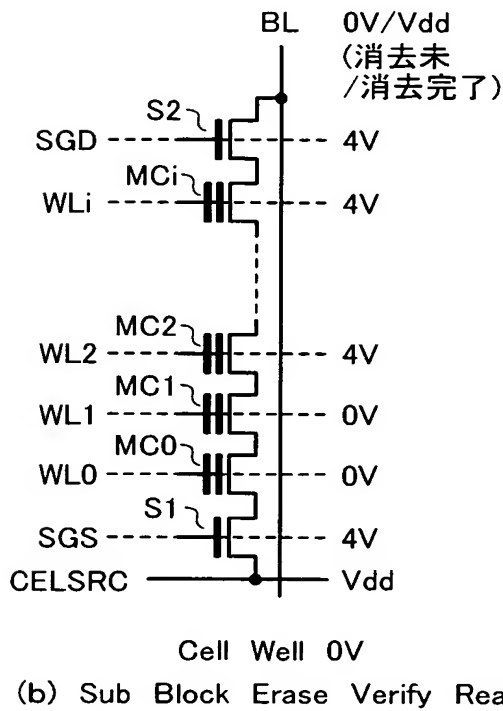
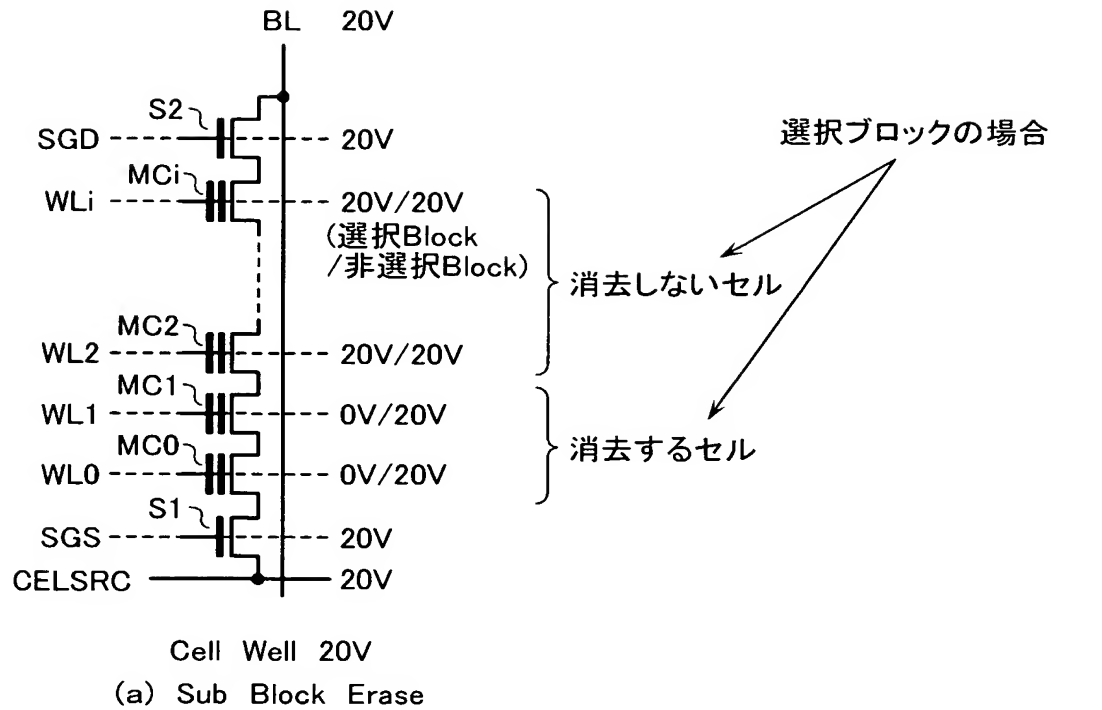
(c) Read



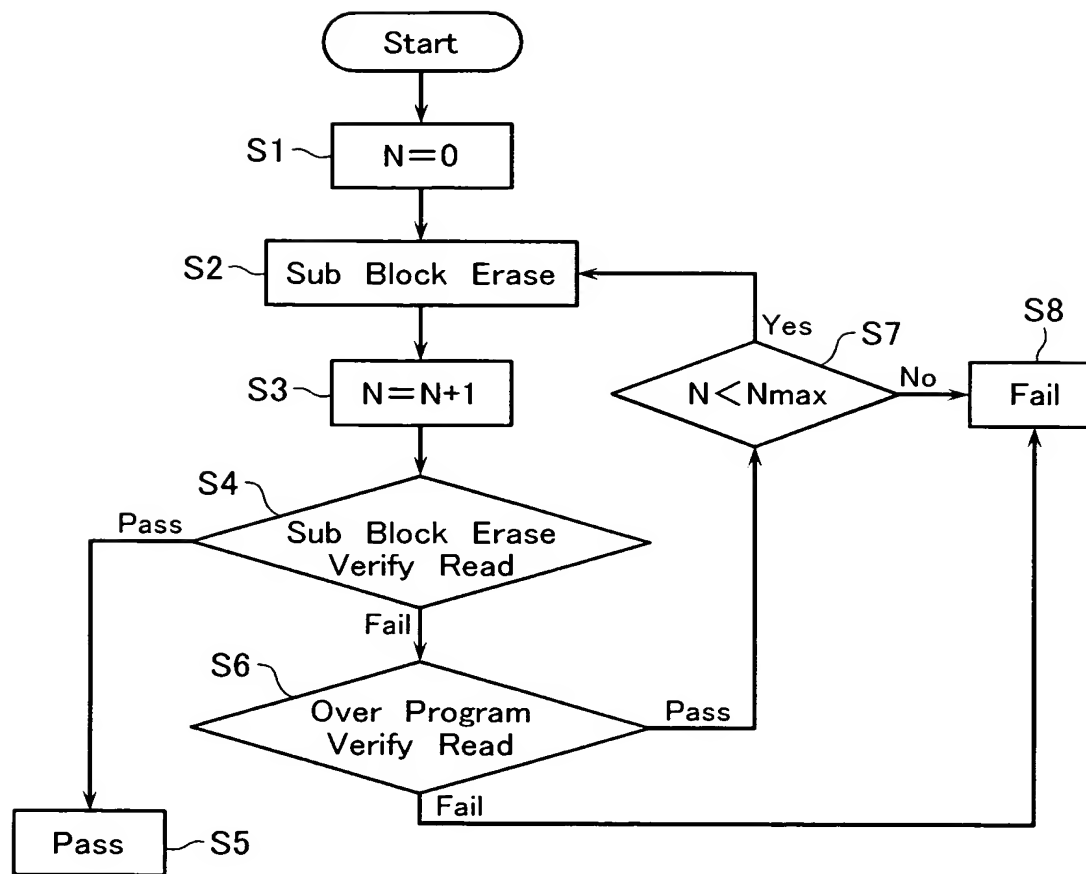
Cell Well 0V

(b) Erase Verify Read

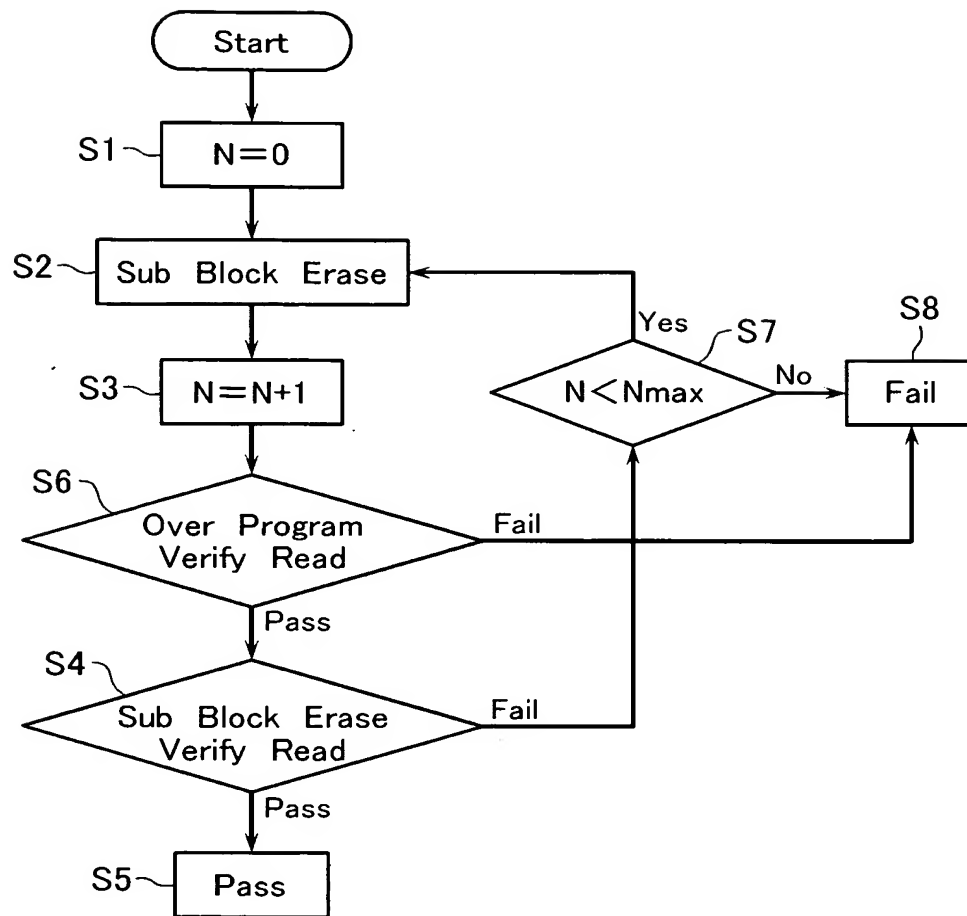
【図 4】



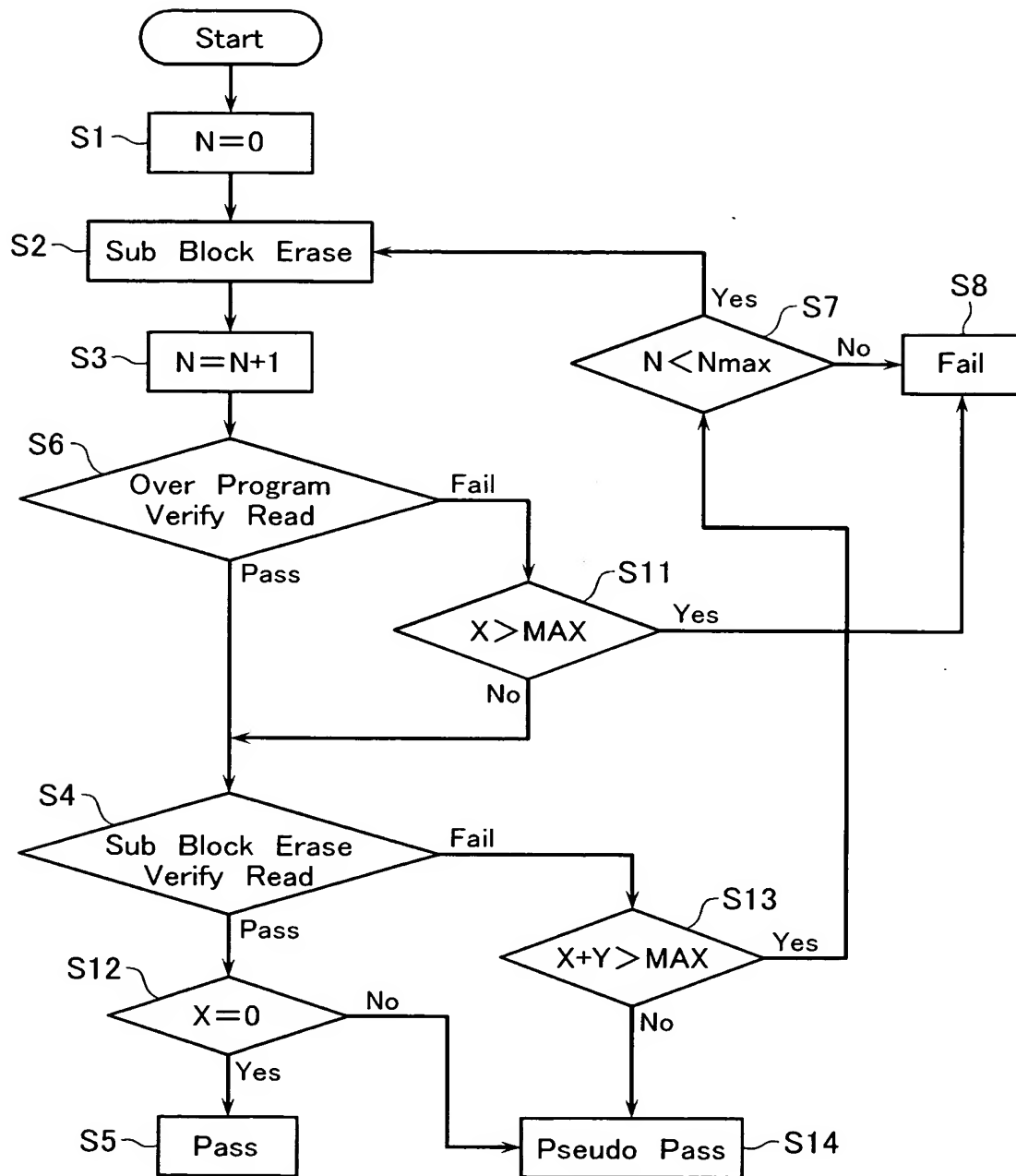
【図 5】



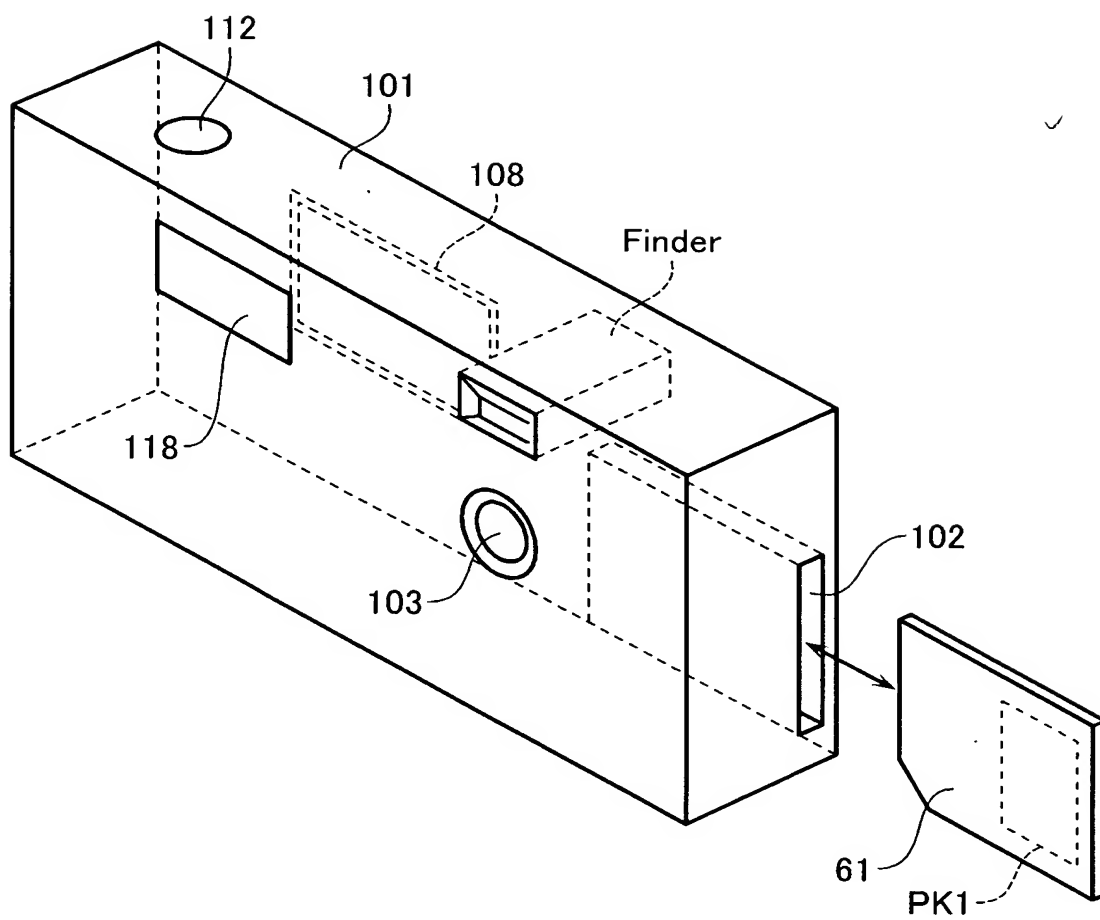
【図 6】



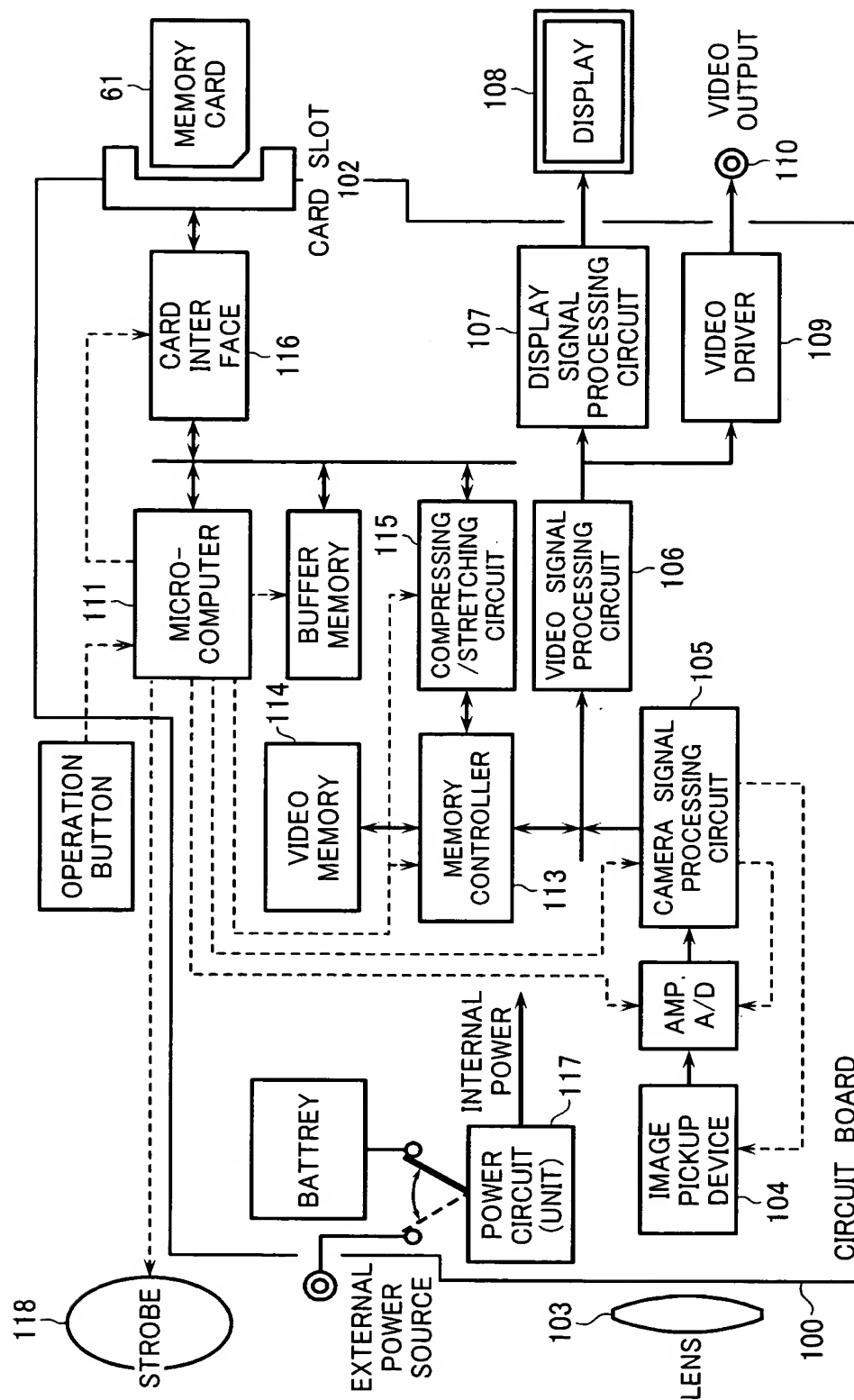
【図 7】



【図 8】

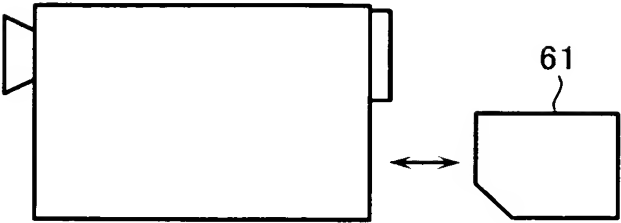


【図 9】

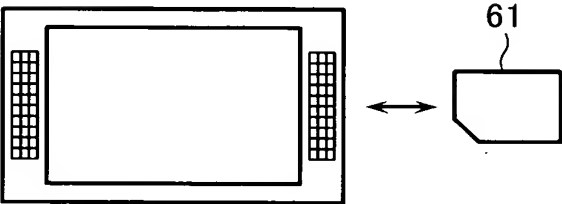




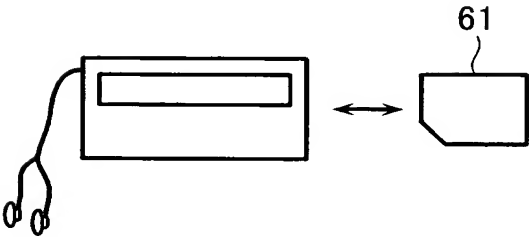
【図 10 A】



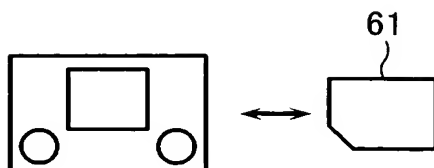
【図 10 B】



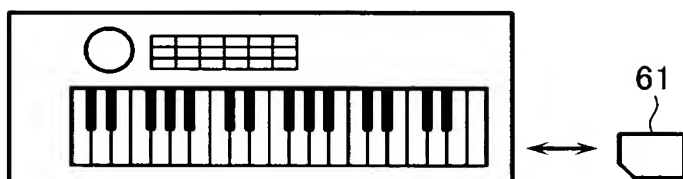
【図 10 C】



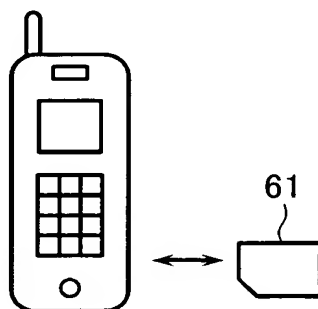
【図 10 D】



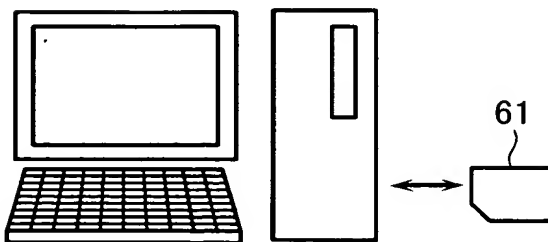
【図 10 E】



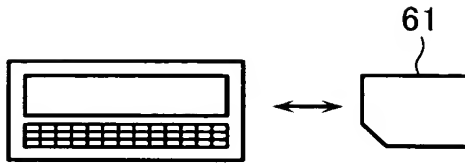
【図 10 F】



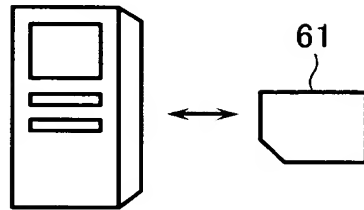
【図 10 G】



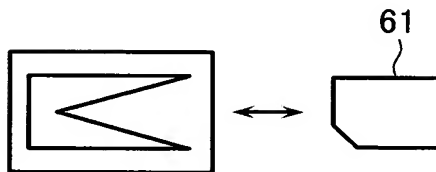
【図 10 H】



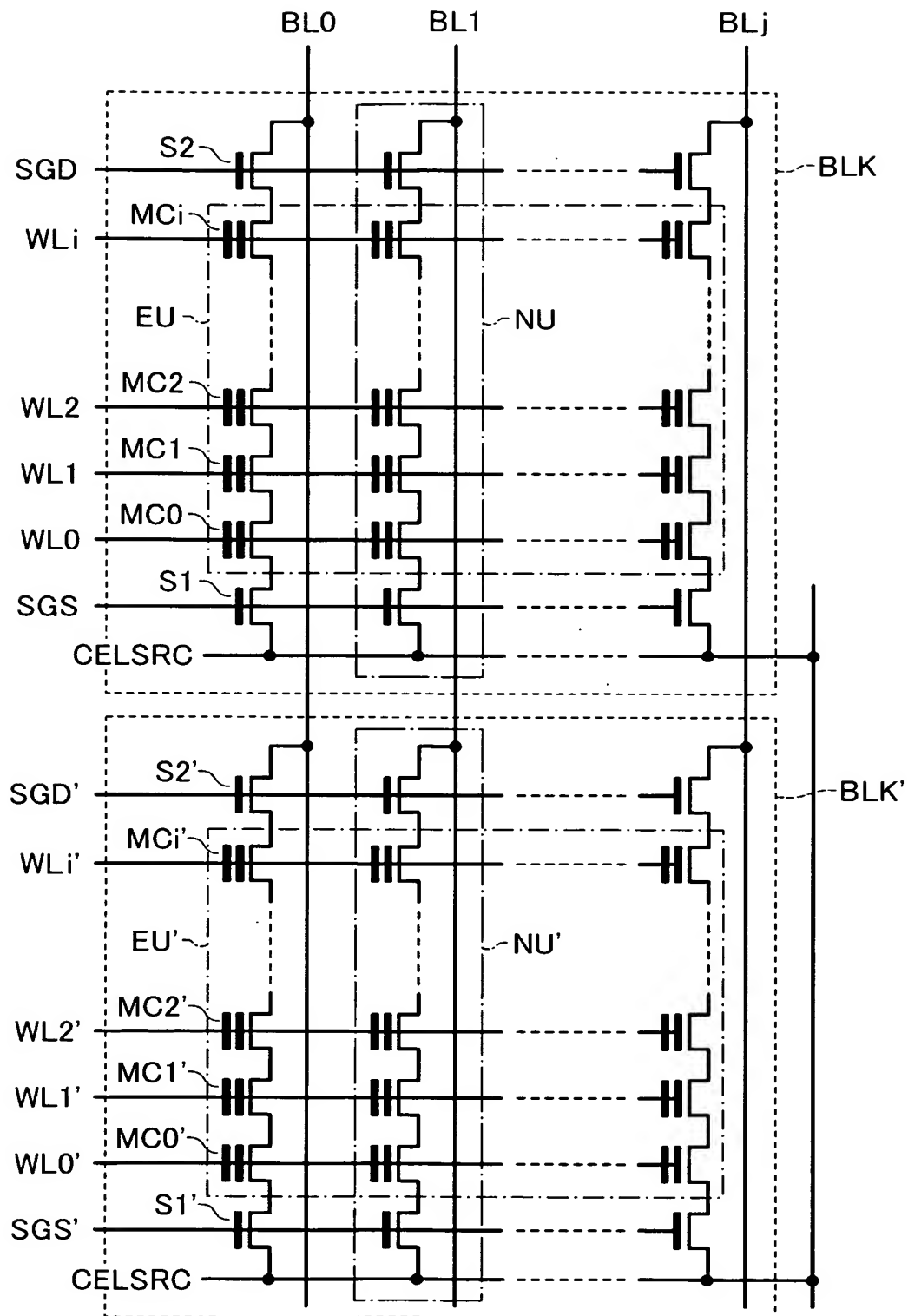
【図 10 I】



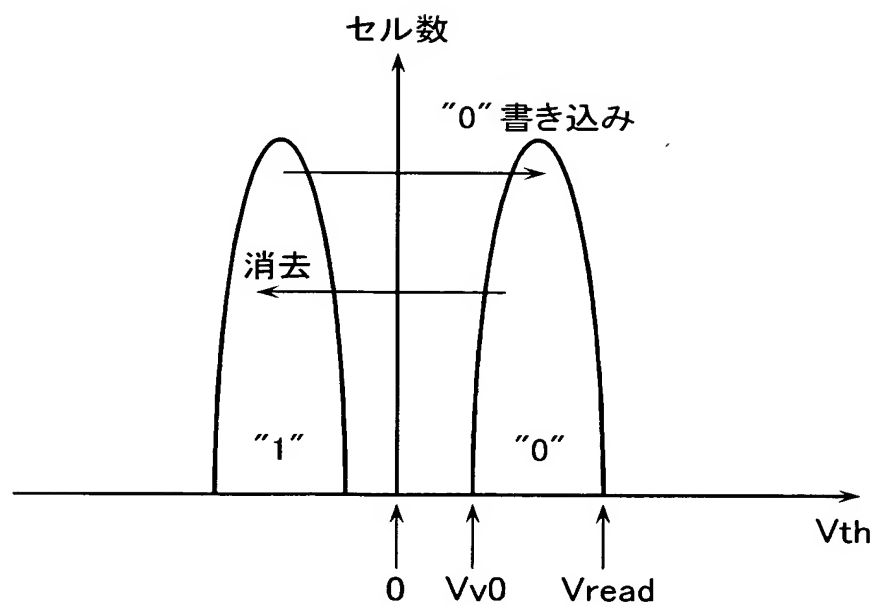
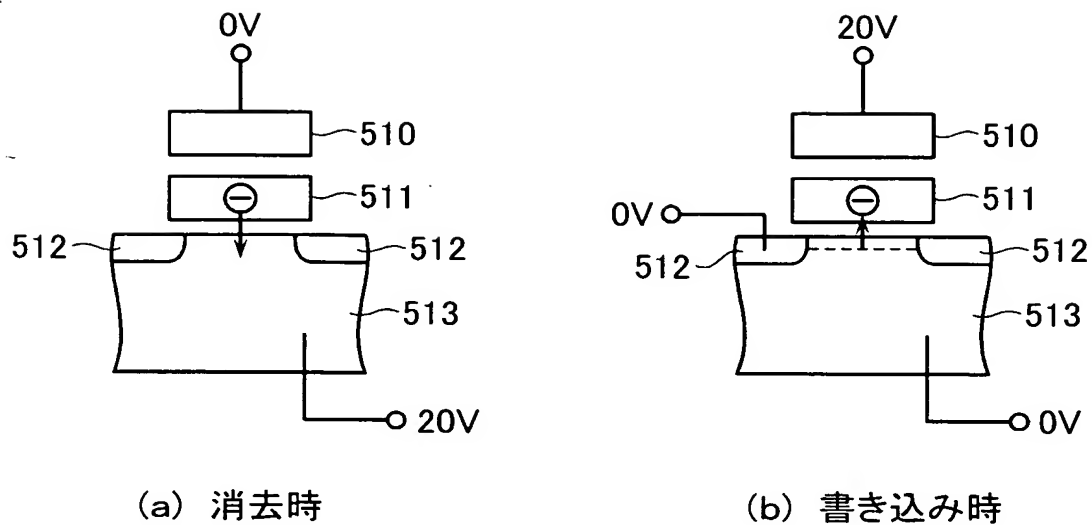
【図 10 J】



【図 11】



【図 12】



(c) セルアレイのしきい値分布

【書類名】 要約書

【要約】

【課題】 過剰なサブブロック消去を防止してセルの閾値分布の拡散を防止する

。

【解決手段】 メモリセルブロックの一部を消去するサブブロック消去（S2）が実行された後、サブブロック消去ベリファイリードが実行される（S4）。サブブロック消去ベリファイリードの結果、サブブロック消去が完了していれば、サブブロック消去を終了する（S5）。サブブロック消去が未完了であれば、オーバープログラムベリファイリード（S6）を行い、サブブロック消去ベリファイ結果がF a i lになった原因が、未消去かオーバープログラムセルの存在かを判定する。オーバープログラムベリファイリードの結果がパスであれば、サブブロック消去動作を繰り返す（S2）。オーバープログラムベリファイリード（S6）がF a i lであれば、F a i l結果を出力し、動作を完了する（S8）。

【選択図】 図5

特願 2003-192024

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

〔変更理由〕

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝